

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-116097

(43)Date of publication of application : 02.05.1997

(51)Int.Cl.

H01L 27/04  
H01L 21/822  
H01L 29/861

(21)Application number : 07-267524

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 16.10.1995

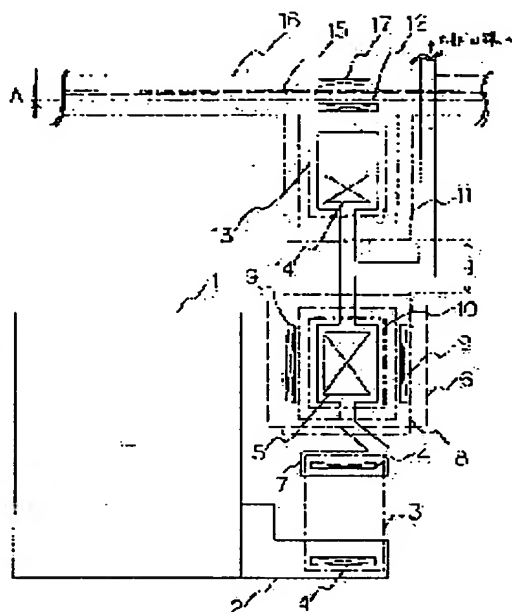
(72)Inventor : MATSUZAKI TAKASHI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To increase the resistance of the electric path of static electricity by permitting the distance between impurity diffusion layers, which give potential to a substrate and a well which face at the junction part, to be longer than the distance between the impurity diffusion layers, which give potential to a substrate and a well that face at other junction part.

**SOLUTION:** A distance B between an impurity diffusion layer 11, which faces a substrate formed by adjacently arranging a first diode and a second diode at the junction part of a well 6 and gives potential to the substrate, and an impurity diffusion layer 8 for giving potential to the well 6 is permitted to be longer than the distance A between an impurity diffusion layer 11, which faces other substrate at the junction part of a well 15 and gives potential to the substrate, and an impurity diffusion layer 16 for giving potential to the well 15. Thus, the resistance of the current path of static electricity is increased.



## LEGAL STATUS

[Date of request for examination] 23.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3577808

[Date of registration] 23.07.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-116097

(43)公開日 平成9年(1997)5月2日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	H
21/822			29/91	D
29/861				

審査請求 未請求 請求項の数3 OL (全 5 頁)

(21)出願番号 特願平7-267524

(22)出願日 平成7年(1995)10月16日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 松崎 寅

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

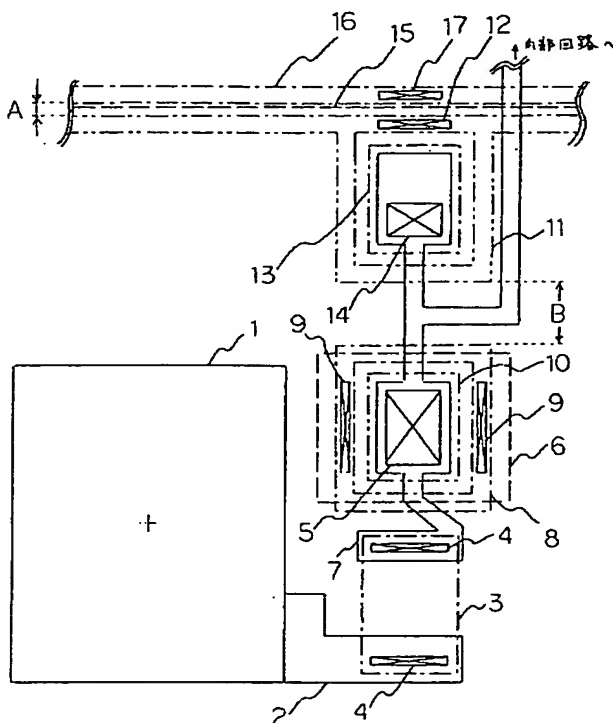
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 半導体集積装置

(57) 【要約】

【構成】集積回路の外部から印加される静電気からの保護を目的とし、外部端子と接続をするパッド1と、前記パッドから金属配線で電氣的接続された抵抗素子3と、抵抗素子とアノード側を接続した第1のダイオード、及び抵抗素子とカソード側を接続した第2のダイオードから成り、前記第1及び第2のダイオードの近接配置によって形成されるサブストレート領域と、第1もしくは第2のダイオードのアノードとカソード間のインピーダンスを高くした事の特徴とする。

【効果】第1及び第2のダイオードの近接配置によって形成されるサブストレート領域への静電気の集中を避け、かつサブストレート領域で形成されるダイオードの逆方向耐圧を向上させる事が出来る。また、第1もしくは第2のダイオードのインピーダンスを上げる事により、より高い静電気エネルギーを減衰させる事ができ、ダイオードの順方向耐圧を向上させる事が出来る。



**【特許請求の範囲】**

**【請求項 1】** 少なくとも外部端子と接続をするパッドと、一端を前記パッドに接続された抵抗素子と、カソードを正極電源に電氣的接続しアノードを前記抵抗素子の他の一端に接続した第 1 のダイオードと、カソードを前記抵抗素子の他の一端に接続しアノードを負極電源に接続した第 2 のダイオードとで構成される静電気保護回路において、前記第 1 のダイオードと前記第 2 のダイオードを近接配置する事によって形成されるサブストレートとウェルの接合部で対向する、サブストレートに電位を与える為の不純物拡散層もしくはイオン注入層と、ウェルに電位を与える為の不純物拡散層もしくはイオン注入層との間隔を、他のサブストレートとウェルの接合部で対向するサブストレートに電位を与える為の不純物拡散層もしくはイオン注入層と、ウェルに電位を与える為の不純物拡散層もしくはイオン注入層との間隔よりも広くした事を特徴とする半導体集積装置。

**【請求項 2】** 請求項 1 記載の半導体集積装置において、第 1 のダイオードと第 2 のダイオードを近接配置する事によって形成されるサブストレートとウェルの接合部で、対向する部分のサブストレートに電位を与える為の不純物拡散層もしくはイオン注入層と、ウェルに電位を与える為の不純物拡散層もしくはイオン注入層には、電源電位を与える為のコンタクトを設けない事を特徴とする半導体集積装置。

**【請求項 3】** 少なくとも外部端子と接続をするパッドと、一端を前記パッドに接続された抵抗素子と、カソードを正極電源に電氣的接続しアノードを前記抵抗素子の他の一端に接続した第 1 のダイオードと、カソードを前記抵抗素子の他の一端に接続しアノードを負極電源に接続した第 2 のダイオードとで構成される静電気保護回路において、前記第 1 もしくは第 2 のダイオードは、前記第 1 もしくは第 2 のダイオードのアノード及びカソードを形成する不純物拡散層もしくはイオン注入層によって、アノードとカソード間に直列抵抗を形成した事を特徴とする半導体集積装置。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】** 本発明は、半導体集積装置の静電気保護回路に関する。

**【0002】**

**【従来の技術】** 従来より、半導体集積装置の静電気保護回路に関する技術としては、図 3 の回路図に示す技術が一般的である。図 3 を用いて従来技術を説明する。図 3 は入力端子の静電気保護回路の一例である。18 は入力パッド、19 は正極電源、20 は負極電源、21 は抵抗素子で一端を入力パッド 18 に接続し、他の一端を内部回路に接続している。抵抗素子 21 は入力パッド 18 に直列に接続されているので、入力パッド 18 に印加した静電気は抵抗素子 21 によってエネルギーを減衰させら

れる。22 はダイオードでアノードを前記抵抗素子 21 の他の一端に接続し、カソードを正極電源 19 に接続している。23 はダイオードでアノードを負極電源 20 に接続し、カソードを前記抵抗素子 21 の他の一端に接続している。24 は正極電源 19 と負極電源 20 の間に逆バイアスされたダイオードで、該半導体集積装置内のサブストレートとウェルの接合部に寄生的に形成されている。

**【0003】** ここで入力パッド 18 に静電気が印加された場合について該静電気の吸収経路について説明する。正極電源 19 に対して入力パッド 18 に正の静電気が印加された場合は、入力パッド 18、抵抗素子 21、ダイオード 22、正極電源 19 の経路で吸収される。正極電源 19 に対して入力パッド 18 に負の静電気が印加された場合は、正極電源 19、ダイオード 24、ダイオード 23、抵抗素子 21、入力パッド 18 の経路で吸収される。

**【0004】** 一方、負極電源 20 に対して入力パッド 18 に負の静電気が印加された場合は、負極電源 20、ダイオード 23、抵抗素子 21、入力パッド 18 の経路で吸収される。負極電源 20 に対して入力パッド 18 に正の静電気が印加された場合は、入力パッド 18、抵抗素子 21、ダイオード 22、ダイオード 24、負極電源 20 の経路で吸収される。以上のように静電気を吸収し、半導体集積装置内の素子の破壊を保護していた。

**【0005】** ダイオード 24 には、静電気がカソードからアノード方向の逆方向にながれるが、ダイオード 24 のカソードとアノードの接合寸法を 1 から 2 ミリメートル以上確保し、静電気を分散させて流すことによって破壊を防止している。

**【0006】**

**【発明が解決しようとする課題】** しかしながら従来技術の場合は、以下に示す課題があった。図 3 のダイオード 22 とダイオード 23 は、例えば一方のダイオードがサブストレートとサブストレートと異極の不純物拡散層もしくはイオン注入層で形成されれば、他方のダイオードはウェルとウェルと異極の不純物拡散層もしくはイオン注入層で形成される。するとダイオード 22 とダイオード 23 を近接配置することによって、サブストレートとウェルの接合部が寄生形成されることとなる。この事を図 4 の回路図で説明する。図 4 では図 3 と同じ構成要素のものには説明を解りやすくする為と同じ番号を付けてある。図 4 で、ダイオード 25 が上記の説明のダイオード 22 とダイオード 23 を近接配置することによって、寄生形成されるサブストレートとウェルの接合ダイオードである。26、27、28、29 は主にアルミニウム等の金属で形成される電源配線がもつ抵抗を表している。図 4 では正極電源 19 からダイオード 25 までの電源配線がもつ抵抗は抵抗 26 だけである。一方正極電源 19 からダイオード 24 までの電源配線がもつ抵抗は抵

抗26+抵抗27である。また、負極電源20からダイオード25までの電源配線がもつ抵抗は抵抗28だけである。一方負極電源20からダイオード24までの電源配線がもつ抵抗は抵抗28+抵抗29である。この様な構成で、例えば静電気印加によって流れる電流が、正極電源19からダイオード25もしくはダイオード24、ダイオード23、抵抗素子21、入力パッド18と流れようとする、電源配線が持つ抵抗はダイオード25の方が低いので、静電気はダイオード24には流れずにダイオード25に集中して流れてしまい、ダイオード25の逆方向の許容電流容量を越えると、ダイオード25の接合部が破壊されてしまうといった課題があった。

【0007】

【課題を解決するための手段】（手段1） 本発明の半導体集積装置は、少なくとも外部端子と接続をするパッドと、一端を前記パッドに接続された抵抗素子と、カソードを正極電源に電氣的接続しアノードを前記抵抗素子の他の一端に接続した第1のダイオードと、カソードを前記抵抗素子の他の一端に接続しアノードを負極電源に接続した第2のダイオードとで構成される静電気保護回路において、前記第1のダイオードと前記第2のダイオードを近接配置する事によって形成されるサブストレートとウェルの接合部で対向する、サブストレートに電位を与える為の不純物拡散層と、ウェルに電位を与える為の不純物拡散層との間隔を、他のサブストレートとウェルの接合部で対向するサブストレートに電位を与える為の不純物拡散層と、ウェルに電位を与える為の不純物拡散層との間隔よりも広くした事を特徴とする。

【0008】（手段2） また、第1のダイオードと第2のダイオードを近接配置する事によって形成されるサブストレートとウェルの接合部で、対向する部分のサブストレートに電位を与える為の不純物拡散層と、ウェルに電位を与える為の不純物拡散層には、電源電位を与える為のコンタクトを設けない事を特徴とする。

【0009】（手段3） また、少なくとも外部端子と接続をするパッドと、一端を前記パッドに接続された抵抗素子と、カソードを正極電源に電氣的接続しアノードを前記抵抗素子の他の一端に接続した第1のダイオードと、カソードを前記抵抗素子の他の一端に接続しアノードを負極電源に接続した第2のダイオードとで構成される静電気保護回路において、前記第1もしくは第2のダイオードは、前記第1もしくは第2のダイオードのアノード及びカソードを形成する不純物拡散層によって、アノードとカソード間に直列抵抗を形成した事を特徴とする。

【0010】

【作用】 本発明の上記の構成よれば、静電気印加によって発生する電流が期待した放電経路に放電できるので静電気耐量が向上できる。また、静電気印加によって発生する電流を制限できるので、同様に静電気耐量が向上で

きる。

【0011】

【実施例】 以下、図面に従い本発明の実施例を詳細に説明する。図1は、本発明の1実施例を示す静電気保護回路のレイアウト平面図である。図1において1は外部端子と電氣的接続をするパッド、2と7は主にアルミニウム等の金属で形成された配線、3は不純物拡散層もしくはイオン注入層、4は配線2と不純物拡散層もしくはイオン注入層3を電氣的に接続させるコンタクト、6はウェル、8はウェル6に電位を与える為のウェル6と同極の不純物拡散層もしくはイオン注入層、9は一方の極の電源と不純物拡散層もしくはイオン注入層8を電氣的に接続させるコンタクト、10はウェル6と異極の不純物拡散層もしくはイオン注入層、5は配線7と不純物拡散層もしくはイオン注入層10を電氣的に接続させるコンタクト、11はサブストレートと同極の不純物拡散層もしくはイオン注入層、12は他の一方の極の電源と不純物拡散層もしくはイオン注入層11を電氣的に接続させるコンタクト、13はサブストレートと異極の不純物拡散層もしくはイオン注入層、14は配線7と不純物拡散層もしくはイオン注入層13を電氣的に接続させるコンタクト、15は半導体集積装置内に回路を形成する為のウェル6と同極の同じくウェル、16はウェル15に電位を与える為のウェル15と同極の不純物拡散層もしくはイオン注入層、17は一方の極の電源と不純物拡散層もしくはイオン注入層16を電氣的に接続させるコンタクトである。主にアルミニウム等の金属で形成された電源配線は図面を見やすくする為に図示してない。

【0012】 ここで、本発明では、不純物拡散層もしくはイオン注入層で形成される不純物領域は、不純物拡散層の場合もしくはイオン注入層の場合でも同じ構成となり、効果も同じであるので、以後の説明では説明の簡略化の為に、不純物拡散層で説明する。また、N型サブストレートを例にとり説明する。N型サブストレートであるので、サブストレートと同極のN型不純物拡散層11に電位を与えるコンタクト12には正極電源が接続される。一方、ウェル6と同極のP型不純物拡散層8に電位を与えるコンタクト9と、ウェル15と同極のP型不純物拡散層16に電位を与えるコンタクト17には負極電源が接続される。3はP型不純物拡散層で形成された抵抗素子であり、一端をパッド1に配線2によって接続されている。13はP型不純物拡散層でN型サブストレート領域に配置されるので、P型不純物拡散層13とN型サブストレートとの接合によって第1のダイオードを形成し、該第1のダイオードのカソードに相当するN型サブストレートは正極電源に電氣的に接続し、アノードに相当するP型不純物拡散層13は配線7によって抵抗素子3の他の一端に接続されている。10はN型不純物拡散層でP型ウェル6の領域に配置されるので、N型不純物拡散層10とP型ウェル6との接合によって第2のダ

イオードを形成し、該第2のダイオードのカソードに相当するN型不純物拡散層10は配線7によって抵抗素子3の他の一端に接続され、アノードに相当するP型ウェル6は負極電源に接続されている。前記第1のダイオードと前記第2のダイオードを近接配置する事によって形成されるサブストレートと、ウェル6の接合部で、対向するサブストレートに電位を与える為の不純物拡散層11と、ウェルに電位を与える為の不純物拡散層8との間隔はBである。ウェル6とサブストレートとの接合により従来例で説明した図4のダイオード25を形成している。一方、他のサブストレートとウェル15の接合部で、対向するサブストレートに電位を与える為の不純物拡散層11と、ウェル15に電位を与える為の不純物拡散層16との間隔はAである。ウェル15とサブストレートとの接合により従来例で説明した図4のダイオード24を形成している。図1に示す様に本発明では間隔Aよりも間隔Bを広く配置している。この様にして不純物拡散層11と不純物拡散層8の間の抵抗値を大きくしている。

【0013】次に、図2を用いて手段2を説明する。サブストレートは同様にN型とする。図2も図1と同じ部分のレイアウト平面図であるが、説明に直接関係ない素子は省略してある。図2で101、102、103は、サブストレートに電位を与えるN型不純物拡散層11に正極電源が接続される為のコンタクト。104、105、106はウェル6に電位を与えるP型不純物拡散層8に負極電源が接続される為のコンタクト。手段2の発明では、前述の第1のダイオードと第2のダイオードを近接配置する事によって形成されるサブストレートとウェル6の接合部で、サブストレートに電位を与える為のN型不純物拡散層11と、ウェル6に電位を与える為のP型不純物拡散層8層との対向する部分には、電源電位を与える為のコンタクト103と104を設けない。印加した静電気による電流はN型不純物拡散層11とP型不純物拡散層8の間を流れようとするので、コンタクト103と104に電流が集中し熱破壊をおこし易くなるが、コンタクト103と104を設けない事によって、電流集中を防止している。

【0014】次に、同様に図2を用いて手段3を説明する。P型不純物拡散層13と配線7と電氣的接続をする為のコンタクト14において、コンタクト12と対向するコンタクト14の一辺との距離Cは、コンタクト101、102、103と対向するコンタクト14の他の三辺との距離Dより離して配置する。そして、コンタクト101と102と103は設けない。印加した静電気による電流はコンタクト14からコンタクト12に向かって流れるが、手段3の発明では従来例に比べてコンタクト14からコンタクト12までの距離が長いので、前記電流経路の抵抗値をより高くする事ができる。

【0015】以上、N型サブストレートを例にとって説

明したが、P型サブストレートの場合でも、ウェルコンタクト、サブコンタクト、ダイオードの特性、及び電源の正極と負極が逆になるだけで、同様の効果が得られる。

【0016】

【発明の効果】以上説明した様に本発明によれば、前記第1のダイオードと前記第2のダイオードを近接配置する事によって形成されるサブストレートとウェルの接合部で対向する、サブストレートに電位を与える為の不純物拡散層と、ウェルに電位を与える為の不純物拡散層との間隔を、他のサブストレートとウェルの接合部で対向するサブストレートに電位を与える為の不純物拡散層と、ウェルに電位を与える為の不純物拡散層との間隔よりも広くし、静電気の電流経路の抵抗値を高くできるので、面積の広い他のサブストレートとウェルの接合領域で静電気エネルギーが吸収され、前記第1のダイオードと前記第2のダイオードを近接配置する事によって形成されるサブストレートと、ウェルの接合部の接合破壊を防止できる。

【0017】また、本発明によれば前記第1のダイオードと前記第2のダイオードを近接配置する事によって形成されるサブストレートとウェルの接合部で、対向する部分のサブストレートに電位を与える為の不純物拡散層と、ウェルに電位を与える為の不純物拡散層には、電源電位を与える為のコンタクトを設けないので、前記第1のダイオードと前記第2のダイオードを近接配置する事によって形成されるサブストレートと、ウェルの接合部の静電気の電流集中を防止でき、該サブストレートと、ウェルの接合部の熱破壊を防止できる。

【0018】また、本発明によれば前記第1及び第2のダイオードのアノードとカソード間のインピーダンスが高くなるので、静電気印加によって発生する電流を制限でき、前記第1及び第2のダイオードの熱破壊を防止できる。

【図面の簡単な説明】

【図1】本発明の実施例である静電気保護回路のレイアウト平面図。

【図2】本発明の他の実施例である静電気保護回路のレイアウト平面図。

【図3】従来の静電気保護回路図。

【図4】従来の静電気保護回路図。

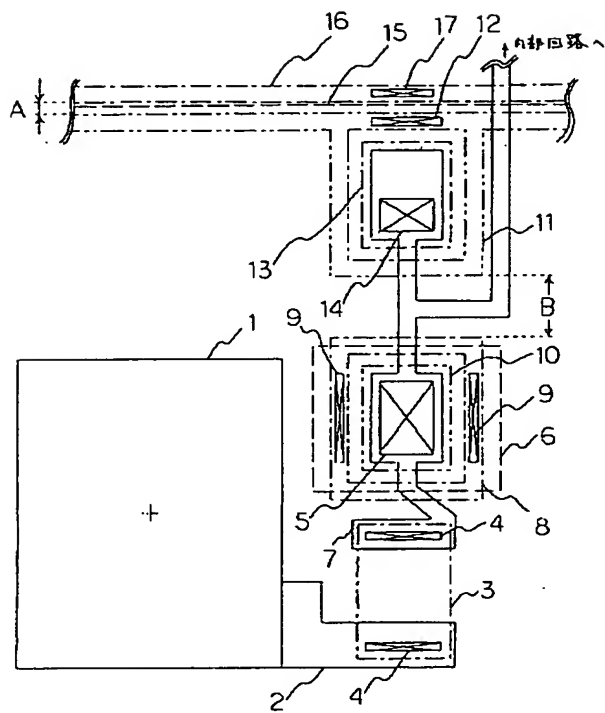
【符号の説明】

- 1 アルミパッド
- 2 配線
- 3 抵抗素子
- 4 コンタクト
- 5 コンタクト
- 6 ウェル
- 7 配線
- 8 コンタクト

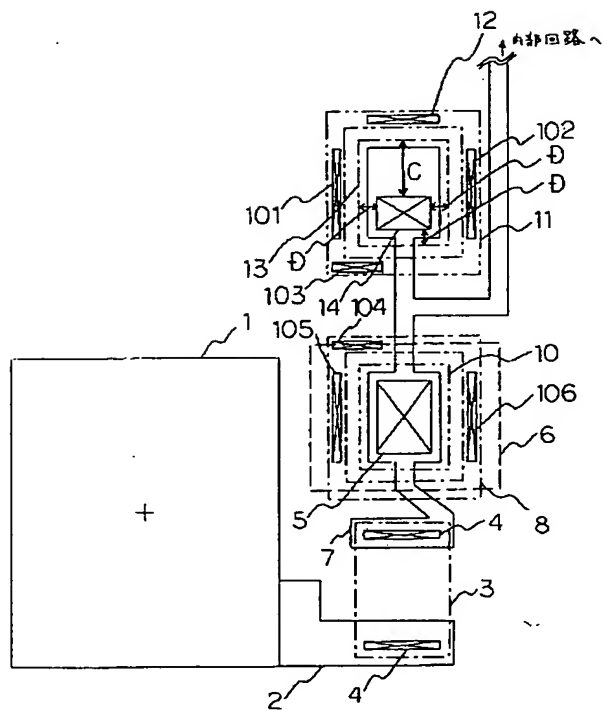
- 9    コンタクト
- 10   不純物拡散層
- 11   不純物拡散層
- 12   コンタクト
- 13   不純物拡散層
- 14   コンタクト
- 15   ウェル
- 16   不純物拡散層
- 17   コンタクト
- 18   入力パッド
- 19   正極電源
- 20   負極電源
- 21   抵抗素子
- 22   ダイオード

- 23   ダイオード
- 24   ダイオード
- 25   ダイオード
- 26   配線抵抗
- 27   配線抵抗
- 28   配線抵抗
- 29   配線抵抗
- 101   コンタクト
- 102   コンタクト
- 103   コンタクト
- 104   コンタクト
- 105   コンタクト
- 106   コンタクト

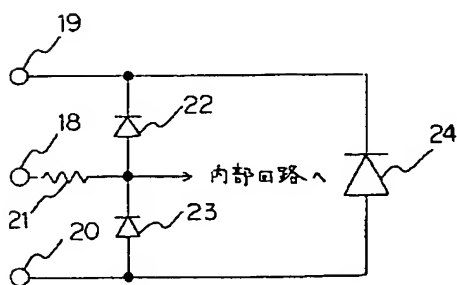
【図1】



【図2】



【図3】



【図4】

